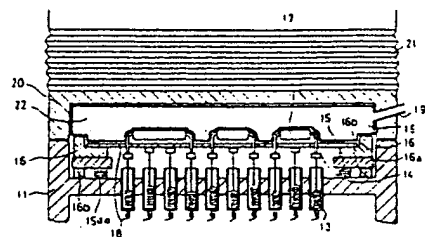


(54) AIR BAG SYSTEM GENERAL-PURPOSE FIXTURE

(11) 62-228176 (A) (43) 7.10.1987 (19) JP
 (21) Appl. No. 61-72280 (22) 29.3.1986
 (71) NEC CORP (72) MITSURU JINBO
 (51) Int. Cl⁷. G01R31/02, G01R1/04, G01R31/28

PURPOSE: To obtain high density contact probes enabling the pressing of the mounting surface of a substrate under uniform high pressure, by providing an air press equipped with an air bag for pressing the mounting substrate to be tested arranged on a fixture.

CONSTITUTION: Contact probes 14 are arranged in the cylindrical bodies implanted in a fixture main body 11 in a grid pattern through springs 13 in a freely extensible and contractable manner and a mounting rest 16 is provided to the upper peripheral part of the main body 11 through springs 15 and members 16a, 16b and a mounting substrate 18 having mounting parts 17 mounted thereon is placed on the rest 16. The air bag 19 arranged to the upper surface of the substrate 18 is arranged to the lower part of an air press provided in an up-and-down movable manner. Then, the substrate 18 having the parts 17 mounted thereon is placed on the stand 16 and the air press 20 is allowed to fall to the position close to the substrate 18 and air 22 is sent into the air bag 19 to shape the bag 19 into the shapes of the parts 17. When the substrate 18 is further pushed down as a whole, each terminal area of the substrate 18 is closely connected to each probe 14 to obtain good electrical contact.

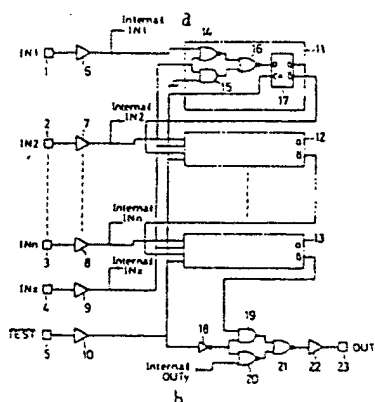


(54) TOLERANT INPUT VOLTAGE INSPECTION CIRCUIT FOR SEMICONDUCTOR INTEGRATED CIRCUIT

(11) 62-228177 (A) (43) 7.10.1987 (19) JP
 (21) Appl. No. 61-72166 (22) 29.3.1986
 (71) TOSHIBA CORP (72) SOICHI KAWASAKI
 (51) Int. Cl⁷. G01R31/28

PURPOSE: To stabilize and facilitate the inspection of the tolerant input signal level of LSI, by storing the output signal of an input buffer in the corresponding memory circuit and connecting said memory circuit in series to obtain series output from an arbitrary external output terminal.

CONSTITUTION: When a signal "L" is inputted to terminals 1~4 and a pulse is inputted to a terminal 5, the output signals of buffers 6~8, 9 come to "L" and outputs are respectively stored in FF17 and circuits 12, 13. When the test signal of the terminal 5 changes from "H" to "L", output "L" is obtained at a terminal 23 in place of the internal output signal of LSI originally necessary from the circuit 13 through gates 19, 21, 22. Next, when the input signal of a terminal 4 is set to "H", circuits 11~13 are connected in series and, when a number of pulses corresponding to the number of buffers 6~8 are inputted from the terminal 5, the polarity of the signal from the terminal 1 is outputted in order from a terminal 23. Next, a signal "H" is inputted to the terminals 1~3 to perform the same operation and the outputs of the buffers 8~6 are observed at the terminal 23.



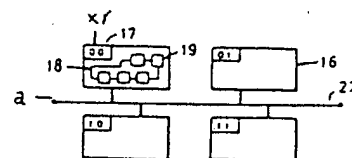
a: (to LSI internal circuit), b: (from LSI internal circuit)

(54) TEST SYSTEM OF LOGIC CIRCUIT

(11) 62-228178 (A) (43) 7.10.1987 (19) JP
 (21) Appl. No. 61-72118 (22) 29.3.1986
 (71) TOSHIBA CORP (72) SHIYOUJIROU MORI
 (51) Int. Cl⁷. G01R31/28

PURPOSE: To enable the testing of a specific function block, in a logic circuit equipped with a register having a state held therein tested as a train of chain-like shift registers, by dividing shift registers into groups to selectively operate the same.

CONSTITUTION: The register group of a logical circuit having an addressable scanning clock is formed of a plurality of function blocks 16 divided corresponding to functions and, when a desired block 16 is selected on the basis of an X-Y address, a test scanning chain 18 is formed to the selected block 17 through scanning D-type FE19 and the block 17 is operated corresponding to scanning input as a shift register and the testing of the block 17 is performed on the basis of the quality of scanning output. Therefore, the testing of a specific function block is rapidly performed by a short shift register.



⑬ 日本国特許庁(JP)

⑭ 特許出願公開

⑯ 公開特許公報(A)

昭62-228177

⑮ Int.Cl.⁴
G 01 R 31/28

識別記号 庁内整理番号
F-7807-2G

⑰ 公開 昭和62年(1987)10月7日

審査請求 有 発明の数 1 (全4頁)

⑱ 発明の名称 半導体集積回路用許容入力電圧検査回路

⑲ 特 願 昭61-72166

⑳ 出 願 昭61(1986)3月29日

㉑ 発 明 者 川 崎 社 一 川崎市幸区堀川町72番地 株式会社東芝堀川町工場内

㉒ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地

㉓ 代 理 人 弁 理 士 鈴 江 武 彦 外2名

明 細 書

1. 発明の名称

半導体集積回路用許容入力電圧検査回路

2. 特許請求の範囲

(1) 半導体集積回路の複数の入力端子と、該入力端子がそれぞれ入力される複数の入力バッファと、該入力バッファの出力がそれぞれ入力される複数の記憶回路と、これら記憶回路を直列接続して前記集積回路の出力端子へ導く手段とを具備したことを特徴とする半導体集積回路用許容入力電圧検査回路。

(2) 前記出力端子への入力部に、前記記憶回路からの出力と集積回路の内部回路からの出力とを切り換えて導く切り換え手段を具備したことを特徴とする特許請求の範囲第1項に記載の半導体集積回路用許容入力電圧検査回路。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

本発明は半導体集積回路(LSI という)用許容

入力電圧検査回路に関するもので、特に LSI のテスト容易化に使用されるものである。

(従来の技術)

一般に LSI は多数のトランジスタを1チップのシリコン上に形成させるもので、その良否を検査するために、DC(直流)テスト、AC(交流)テスト、ファンクションテストを実施している。LSI の入力特性の検査は、LSI 周辺からの信号に対して LSI が正常に反応するかどうかを調測しており、入力端子のリークテストは DC 的に容易に測定できるが、反応するための外部入力信号レベルの検査は、AC あるいはファンクションテストで、全回路を動作させて行なっている。

(発明が解決しようとする問題点)

LSI が反応するための入力信号レベル検査を、AC あるいはファンクションテストで全回路を動作させて行なった場合、全回路を動作させるために、測定装置による影響をかなり受けてしまう。即ち LSI 内部回路をダイナミックに動作させるので、測定系から信号レベルを検査仕様に基づいて送出

した場合、デバイス自体の変化が見かけ上の測定系からの信号レベルに影響し、誤動作を起こすことが多い。こういった現象が起きた場合、LSI自体の問題か、測定系の問題か判断するのが難しく、テストを安定に実施するために多大な時間を必要とする。また量産段階に入った時、測定装置が変わり同様な問題が発生し、時間を費やすことが多い。

そこで本発明は、LSIの許容入力信号レベル検査を、測定系に影響せずに安定かつ容易に行なうことを目的とする。

[発明の構成]

(問題点を解決するための手段と作用)

本発明は、LSIの入力端子に接続される入力バッファの出力信号を、それに対応した記憶回路に記憶させ、その記憶回路を直列に接続させ、任意の外部出力端子から直列に出力できるようにした。その際、記憶回路に記憶させるためのパルスと外部に直列に出力させるためのパルス、及び任意の出力端子から、システム出力信号と前記直列出力信号を切り換えて出力させる切り換え信号を

テスト用の入力端子から供給させることができる。また入力バッファの出力信号と記憶回路を直列に接続させる時の前段の記憶出力とを切り換える制御信号は任意の外部入力端子から供給することができる。従って入力バッファの出力信号を、LSIの内部回路を動作させることなく容易にLSI外部に出力できるため、LSIの入力信号レベル検査を、DCレベルの信号を入力端子に供給することで可能となる。つまりLSIの内部回路を動作させずに検査可能となるものである。

(実施例)

以下図面を参照して本発明の一実施例を説明する。第1図は同実施例の回路図、第2図は同回路の動作を示すタイミングチャートである。第1図において1~3はLSI外部入力端子、4は記憶回路入力切り換え用外部入力端子、5はテスト用外部入力端子、6~10は入力バッファである。11~13は記憶回路ブロックで、相互に対応構成である。14、16、20、21はノアゲート、15、19はアンドゲート、17はD型フリップ

フロップ、18はインバータ、22は出力バッファ、23はLSI外部出力端子であり、この回路は入力バッファ6~9の許容入力電圧レベルを容易に検査するものである。

LSI外部入力端子1~4に接続される入力バッファ6~9の特性を検査するには、その出力信号を直接LSI外部に出力できないので、通常LSI全体を動作させないと判定できないが、本発明の回路を付加することで検査が容易にできる。許容入力電圧検査は、LSI外部入力端子に許容の“H”レベル電圧あるいは“L”レベル電圧を加えたときに、入力バッファが“H”または“L”と判断できるかどうかを検査するものである。従って説明を簡単にするために、外部入力端子1~4にはその許容入力電圧レベルの信号を供給するものとし、テスト用の外部入力端子5には、“L”レベルを V_{L1} レベル、“H”レベルを V_{D0} レベルとして入力するものとする。

外部入力端子1~4に“L”レベルを入力し、入力端子5にパルスを入力すると、入力バッファ

6~8及び9の出力信号は、LSIが仕様を満足すれば“L”となり、入力バッファ6の出力の場合、ノアゲート14を介しノアゲート16を過ってフリップフロップ17に記憶され、同様に入力バッファ7~8の出力は記憶回路ブロック12~13に記憶される。そしてテスト入力端子が“H”から“L”になったとき、出力端子23には、本来必要なLSIの内部出力信号に代わって、ゲート19、21、22を介して記憶回路ブロック13の出力信号即ち外部入力端子3からの信号の極性“L”が出力される。次に入力端子4の入力信号を“H”レベルにすると、記憶回路ブロック11~13は直列に接続される。この状態で入力バッファ6~8の入力バッファ数のパルスを外部入力端子5から入力させると、外部出力端子23から順に外部入力端子1からの信号の極性まで出力される。次に外部入力端子1~3に“H”レベルを入力させて同様な操作を行えば、入力バッファ8~6の出力信号が外部出力端子23で観測される。第2図のタイムチャートの例では、記憶回路

ブロックの直列接続検査のために、記憶回路ブロック11の直列動作時の入力信号即ちゲート16の入力バッファ9出力でないもう一方の入力信号(この場合“L”)を最後に出力させている。

入力バッファ6~9の動作限界を評価したい場合には、上述のテストシーケンスでの外部入力端子1~4の入力信号レベルを順次変化させ、正常動作しなくなるレベルを検査すればよい。また本発明は検出出力を、LSIとして必要な出力端子23に、その手前のゲート回路を用い多重化して出力させているが、端子数に余裕がある場合、テスト用の出力端子を設けてそこへ出力させてもよい。更に入力端子は入出力端子であってもよく、それらの数が多い場合分割して別の出力端子に多重化させて出力してもよい。この場合入力バッファ9の出力信号を制御用に使用しているの、別の検査ブロックで入力バッファ9の検査をすることができ、入力端子4の入力信号レベルを入力端子5と同様に、理想的な V_{DD} 、 V_{DD} レベルで供給できる。

本発明では、基本的にLSIの許容入力電圧のDC的な測定を考えているが、第2図のタイミングチャートを見てわかるように、検査しているのは入力端子4の信号が“L”レベルの時だけなので、それ以外のタイミングでLSI外部入力信号は自由に入力できる。即ちタイミングを考えて、LSIの内部回路を動作させながら、同時にLSIの許容入力電圧検査が可能である。

[発明の効果]

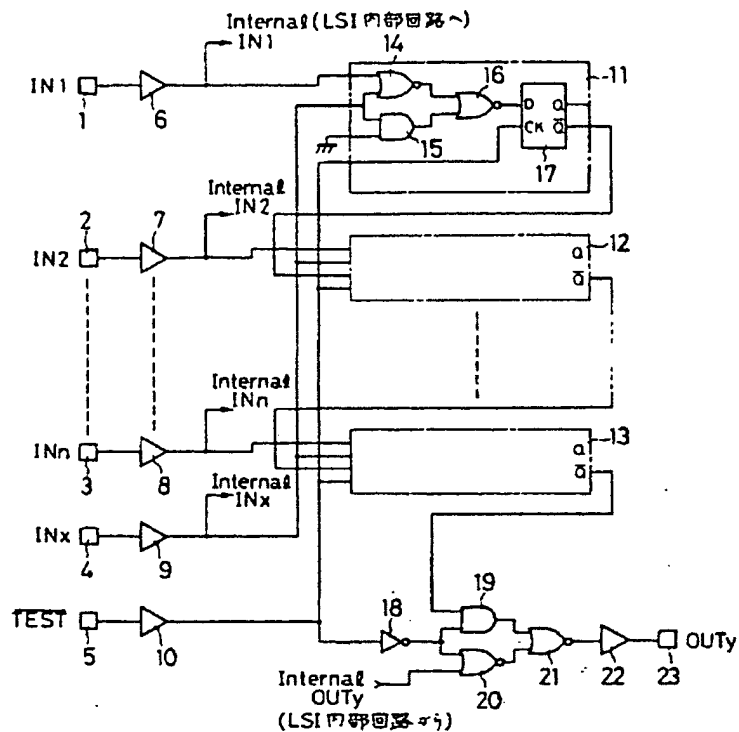
従来はLSIの許容入力電圧レベルの検査は、その入力バッファの出力信号をLSI外部から直接観測できないため、その検査電圧レベルの入力信号の入力信号で内部回路を動作させて、誤動作するかどうかで行なっている。この方法は、信号をダイナミックに入力しなければならないので、測定系を正確に構成しないと、誤動作の原因がLSI自体なのか、測定系であるのか判断するのが難しい。そのためテストを安定に実施できるまで、技術者の時間を多大に必要とし、量産時のテストに対応させるには更に時間を要する。しかるに本発明を

LSIに適用することにより、許容入力電圧レベルをDC的に検査できるので、つまりLSIの内部回路を動作させないで検査できるので、デバイスの特性を安定かつ容易に検査できる。将来的にスタンダードセルLSI及びゲートアレイ等のプロセスが決まったLSIに関して、設計CAD(コンピュータ・エディッド・デザイン)が充実すれば、ダイナミックな許容入力電圧レベルの検査に代わって、デバイスのプロセスが確認できる本発明を適用した検査方法で充分となる。

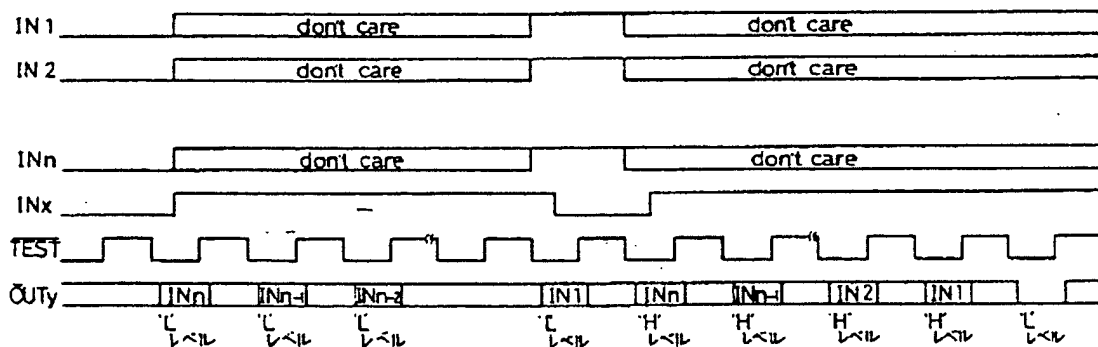
4. 図面の簡単な説明

第1図は本発明の一実施例の回路図、第2図は同回路の動作を示すタイミングチャートである。

1~3…LSI外部入力端子、4…記憶回路入力切り換え用外部入力端子、5…テスト用外部入力端子、6~10…入力バッファ、11~13…記憶回路ブロック、14、16、20、21…ノアゲート、15、19…アンドゲート、17…D型フリップフロップ、18…インバータ、22…出力バッファ、23…LSI外部出力端子。



第 1 図



第 2 図